

**(54) CLOCK SIGNAL REGENERATING CIRCUIT**

(11) 63-292840 (A) (43) 30.11.1988 (19) JP

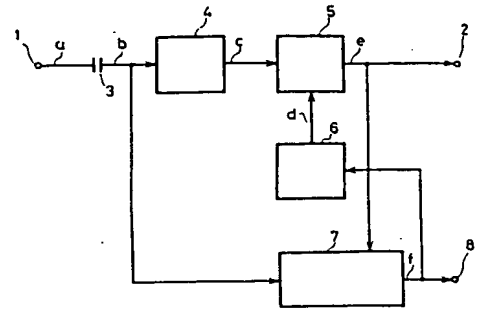
(21) Appl. No. 62-128663 (22) 26.5.1987

(71) NIPPON TELEGR &amp; TELEPH CORP &lt;NTT&gt; (72) KAZUTO TANAKA(2)

(51) Int. Cl. H04L7/02, H03K5/00, H03K5/08

**PURPOSE:** To prevent jitter due to interference between codes from being generated, by estimating the potential of a detecting signal at a timing when a regular code changes from the encoding pattern of a demodulation signal, and controlling the value of a reference voltage so as to be set equal to the potential.

**CONSTITUTION:** An input detecting signal (a) inputted from an input terminal 1, after whose DC component being eliminated by a capacitor 3, is inputted to a delay circuit 4 and a demodulation circuit 7. The demodulation circuit 7 outputs the demodulation signal (f) by demodulating the detecting signal (b) with the timing of a reproducing signal (e). A reference voltage generation circuit 6 estimates the potential of a delay detecting signal (c) at a true timing point  $P_0$  from the encoding pattern of the demodulation signal, and controls a timing point  $P_1$  so as to coincide with the true timing point  $P_0$  by setting the reference voltage (d) equal to the above potential.



5: timing circuit

**(54) FRAME SYNCHRONIZING SYSTEM**

(11) 63-292841 (A) (43) 30.11.1988 (19) JP

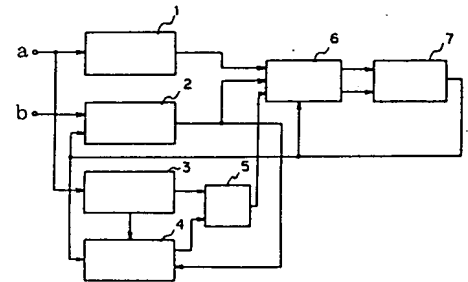
(21) Appl. No. 62-127134 (22) 26.5.1987

(71) HITACHI LTD (72) MASAHIRO ASHI(2)

(51) Int. Cl. H04L7/08, H04J3/06

**PURPOSE:** To prevent fixed data from being detected erroneously, by constituting a frame synchronization pattern of a fixed pattern consisting of the same bit series at every frame and a transitional pattern consisting of a bit series changing at every frame in a specific cycle, in a digital communication equipment.

**CONSTITUTION:** When a frame counter 2 steps, arriving at a phase to detect the frame synchronization pattern, and a frame synchronization detecting signal is outputted from the frame counter 2 to a coincidence/discrepancy decision circuit 6, the coincidence/discrepancy of the frame synchronization pattern is decided. A synchronization protection circuit 7 outputs a hunting operation instruction signal to the coincidence/discrepancy decision circuit 6, the frame counter 2, and a transitional pattern generation circuit 4 when receiving a signal representing the discrepancy, then, an operation is shifted to a hunting operation state. On the other hand, when the signal representing the coincidence is received, the completion of a protection operation at a rear side is decided after the bit series to be outputted to a comparator 5 being stepped by one by shifting the operating phase of the transitional pattern generation circuit 4.



1: fixed pattern detecting circuit. 3: transitional pattern detecting circuit. a: data, b: clock

**(54) DATA TRANSMISSION SYSTEM**

(11) 63-292842 (A) (43) 30.11.1988 (19) JP

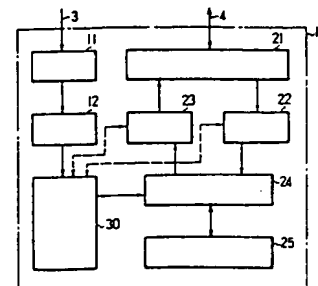
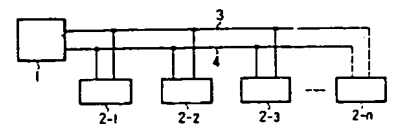
(21) Appl. No. 62-128892 (22) 26.5.1987

(71) NEC CORP (72) KOJI MURAMATSU

(51) Int. Cl. H04L11/00

**PURPOSE:** To respond to an emergent data transmission request, by storing a data transmission request from each data transmitter in sequence of the generation of the request via a control signal line, and informing the fact of the available state of a data signal line to the data transmitter when the above state is realized.

**CONSTITUTION:** The data transmitter which requests the transmission of data out of the data transmitters 2-1~2-n transmits the data transmission request to an external interface circuit 21 via the control signal line 4. The data transmission request is accumulated in a storage part 25 via a reception control circuit 22 and a storage control circuit 24 further. In the storage part 25, the data transmission requests from other data transmitters 2-1~2-n are accumulated in order. And a supervision control circuit 30 always monitors the activity status of the data signal line 3, and when detecting an available state, issues a command to the storage control circuit 24, and extracts control information with the highest priority order out of the data transmitter having the data transmission request stored in the storage part 25.



1: data supervising device. 11: external interface circuit. 12: data line monitor circuit. 23: transmission control circuit

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-292841

⑬ Int. Cl.<sup>4</sup>

H 04 L 7/08  
H 04 J 3/06

識別記号

庁内整理番号

A-6914-5K  
A-6914-5K

⑭ 公開 昭和63年(1988)11月30日

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 フレーム同期方式

⑯ 特 願 昭62-127134

⑰ 出 願 昭62(1987)5月26日

⑱ 発 明 者 芦 賢 浩 神奈川県横浜市戸塚区戸塚町216番地 株式会社日立製作所戸塚工場内  
⑲ 発 明 者 中 野 幸 男 神奈川県横浜市戸塚区戸塚町216番地 株式会社日立製作所戸塚工場内  
⑳ 発 明 者 菅 野 忠 行 神奈川県横浜市戸塚区戸塚町216番地 株式会社日立製作所戸塚工場内  
㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地  
㉒ 代 理 人 弁理士 秋本 正実

明 細 書

1. 発明の名称

フレーム同期方式

2. 特許請求の範囲

1. 入力データのフレームの特定位相に挿入されたフレーム同期パターンを検出し、データ系列のフレーム同期をとるフレーム同期方式において、毎フレーム同一のビット系列からなる固定パターンと、特定の周期で毎フレーム変化するビット系列からなる遷移パターンとをもって前記フレーム同期パターンを構成したことを特徴とするフレーム同期方式。
2. 前記遷移パターンは、M系列信号であることを特徴とする特許請求の範囲第1項記載のフレーム同期方式。
3. 前記遷移パターンは、フレーム毎に特定値増加もしくは減少する2進値信号であることを特徴とする特許請求の範囲第1項記載のフレーム同期方式。
4. ハンチング動作時にはフレーム同期パターン

中の固定パターンのみを検出することを特徴とする特許請求第1項記載のフレーム同期方式。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はデジタル通信装置におけるフレーム同期方式に係り、特にデータ中の固定パターンによる誤同期を防止するのに好適なフレーム同期方式に関する。

(従来の技術)

従来のフレーム同期方式におけるフレーム同期パターンの構成・配置には第5図(a)に示すように固定のフレーム同期パターンF<sub>1</sub>、F<sub>2</sub>、F<sub>3</sub>をフレームの特定位相に集中配置するものと、第5図(b)に示すように、各々固定のフレーム同期パターンF<sub>1</sub>、F<sub>2</sub>、F<sub>3</sub>を1ビットづつ等間隔に分散配置したものがある。このように配置されたフレーム同期パターンF<sub>1</sub>、F<sub>2</sub>、F<sub>3</sub>を検出するフレーム同期方式においては、フレーム中の固定データを誤ってフレーム同期パターンと見なす事による誤同期が発生する。そのため、従来技術におい

ては、このような誤同期を防止する方法として、例えば昭61年度 電子通信学会総合全国大会 予稿集 1987「CRCに基づくフレーム誤同期防止法」上田裕己等にあるように、フレームに付加されたCRC(Cyclic Redundancy Check)の連続誤りによって検出する手段をフレーム同期回路に付加し、誤同期検出時において強制再ハンチングをとるようにしている。

(発明が解決しようとする問題点)

上記従来技術は、本来フレーム内の符号誤りを検出する為に付加したCRCを誤同期検出に用いているので、フレーム内の符号誤りによるCRCの誤りと、誤同期によってCRCが挿入されている位相と異なる位相をCRCと見なしているために発生している疑似的なCRC誤りとを区別するため、長い時間CRCの監視を行わねばならない。従って、誤同期が発生してから該誤同期を検出して強制再ハンチングを行い、さらに真の同期復帰に到るまでの間に、大量のデータが同期外れのため失われるという問題点がある。

以下、本発明の一実施例を第1図～第3図により説明する。第1図は、本発明の一実施例にかかるフレーム同期方式におけるフレーム同期パターン構成図である。第1図に示す実施例では、フレーム同期パターンのうち固定パターン $F_1 \sim F_8$ がフレームの先頭に集中配置され、3ビットからなる遷移パターンがその後に集中配置されている。遷移パターンの変化の周期は8フレームであり、第1フレームの“0, 0, 0”(2進)から、第8フレームの“1, 1, 1”(2進)まで、フレーム毎に1つつ歩進するようになっている。

第2図は、本発明の一実施例にかかるフレーム同期方式のフレーム同期回路の構成図である。入力データは、固定パターン検出回路1および遷移パターン検出回路3に入力される。固定パターン検出回路1からは、固定パターンの検出・未検出を示す信号が出力され、一致・不一致判定回路6に入力される。遷移パターン検出回路3からは、フレーム同期パターンから抜き取られた遷移パターンのビット系列が出力され、遷移パターン発生

本発明の目的は、フレーム内の固定データをフレーム同期パターンであるとして誤検出することがないフレーム同期方式を提供することにある。

(問題点を解決するための手段)

上記目的は、入力データのフレームの特定位相に挿入されたフレーム同期パターンを検出し、データ系列のフレーム同期をとるフレーム同期方式において、毎フレーム同一のビット系列から成る固定パターンと、特定の周期で毎フレーム変化するビット系列からなる遷移パターンとをもって前記フレーム同期パターンを構成することで、達成される。

(作 用)

フレーム同期パターンの一部を構成する遷移パターンのビット系列がフレーム毎に変化するために、フレーム毎に異なったフレーム同期パターンとの照合を行うことになり、フレーム中の固定データを誤ってフレーム同期パターンと見なす事なくなる。

(実施例)

回路4と比較回路5とに入力される。遷移パターン発生回路4は、該回路4内で発生したパターン比較用の遷移パターンのビット系列を比較回路5に出力する。比較回路5は、遷移パターン検出回路3と遷移パターン発生回路4から入力してきた2つのビット系列を比較し、その比較結果を一致・不一致判定回路6に出力する。また、入力してきたクロックは、フレームカウンタ2に入力され、該フレームカウンタ2は、フレーム同期パターン検出位相信号を遷移パターン発生回路4および一致・不一致判定回路6に入力する。一致・不一致判定回路6は、フレーム同期パターンの一致・不一致を示す信号を同期保護回路7に出力し、同期保護回路7はハンチング動作指定信号をフレームカウンタ2、遷移パターン発生回路4および一致・不一致判定回路6に出力するようになっている。

次に、第3図のフローチャートを用いて、第1図に示すフレーム同期パターンを第2図に示すフレーム同期回路によって検出し、データ系列に対してフレーム同期をとる場合の動作について説明

する。

フレーム同期外れが発生した場合、該フレーム同期外れ発生時点において後方保護機能を有する同期保護回路7を初期化し、ハンチング動作に移る。ハンチング動作時においては、入力データを監視し、第1図に示す固定パターン $F_1 \sim F_n$ を入力データ中から検出する。このとき、同期保護回路7からはハンチング動作指定信号が発せられ、該信号によりフレームカウンタ2はカウントアップ動作を停止している。また、一致・不一致判定回路6にもハンチング動作指定信号が入力され、比較回路5から受信した遷移パターンの比較結果を示す信号が、パターンの一致・不一致の判定に影響を与えよう制御している。この動作状態は、固定パターン検出回路1が固定パターン $F_1 \sim F_n$ を検出するまで続く。固定パターン $F_1 \sim F_n$ が検出されると、前記ハンチング動作指定信号が消え、その消えるタイミングをもって、遷移パターン検出回路3が検出した遷移パターンを遷移パターン発生回路4にプリセットする。このようにし

て、遷移パターン発生回路4が発生すべき遷移パターンのビット系列を与える位相が定まり、フレーム同期回路は後方保護動作に移行し、フレームカウンタ2が歩進を開始する。それと同時に、タイミングをとって遷移パターン発生回路4の動作位相をシフトさせ、比較回路5に対して出力するパターン比較用の遷移パターンのビット系列を1歩進させ、出力させる。さらに、一致・不一致判定回路6は、後述する理由により、比較回路5から受信する遷移パターンの一致・不一致情報をもフレーム同期パターンの一致・不一致を判定する条件に加えるよう動作モードを変える。

以後、フレームカウンタ2が歩進し、フレーム同期パターンを検出する位相までに到り、フレームカウンタ2から一致・不一致判定回路6にフレーム同期パターン検出信号が出力されたとき、一致・不一致判定回路6は固定パターン検出回路1から受信した固定パターンの一致・不一致情報と、比較回路5から受信した遷移パターンの一致・不一致情報とによってフレーム同期パターンの一致

・不一致を判定し、両者共に一致の場合にパターンの一致を示す信号を同期保護回路7に出力し、その他の場合には不一致を示す出力を出力する。

遷移パターンの一致・不一致情報の判定条件に加えるのは、次の理由による。

固定パターン検出回路1が検出したパターン $F_1, F_2, F_3, F_4$ が真のフレーム同期用の固定パターンであるならば、遷移パターン検出回路3が受信したパターンと、遷移パターン発生回路4が発生したパターンとは、同様の遷移(歩進)をしているので一致するはずである。これに対し、固定パターン検出回路1が検出したパターン $F_1, F_2, F_3, F_4$ がフレーム同期パターンの固定パターンではなく固定のデータ信号であるならば、遷移パターン検出回路3が受信したパターンは、遷移パターン発生回路4から出力されたパターンとは異なる遷移をしているので多くの場合不一致となるはずである。従って、後方保護動作に移行した場合、遷移パターンの一致・不一致情報を判定条件に加えることで、誤同期を起こす率が著しく低減する。

同期保護回路7では、不一致を示す信号を受信した場合には、一致・不一致判定回路6、フレームカウンタ2および遷移パターン発生回路4に対してハンチング動作指定信号を出力し、先に述べたハンチング動作状態に移行する。それに対して、一致を示す信号を受信した場合には、遷移パターン発生回路4の動作位相をシフトさせて、比較回路5に対して出力するビット系列を1歩進させたのち、後方保護動作終了の判定を行う。後方保護動作が終了したと判定された場合には、同期保護回路7からの同期外れ表示信号の送信を停止し同期確立状態の動作モードに移行し、未終了と判定された場合には、以上述べた後方保護動作を継続する。

以上のように、本実施例によれば、従来技術において最も誤同期が発生しやすかった場合、つまりフレーム中に固定されたデータがある場合についても、後方保護動作中において、フレーム同期パターン中の遷移パターンが予め定めた遷移の系列と一致するか否かを検出する事により誤同期の

発生を防止する事ができる。

第4図は、本発明のフレーム同期方式におけるフレーム同期パターンの第2の構成例を示したものである。第4図に示す実施例では、第1図に示す実施例の場合と同様、固定パターン $F_1 \sim F_8$ がフレームの先頭に集中配置され、3ビットからなる遷移パターンがその後に集中配置されている。本実施例における遷移パターンは、原始多項式 $X^3 + X + 1$ に対応するM系列の信号と、その信号を1ビットシフトした信号および2ビットシフトさせた信号の3つの信号を組み合わせたものである。従って、M系列の周期の式 $2^k - 1$  ( $k$ は原始多項式の最高次数)に $k=3$ を代入して求まる7フレームを周期として遷移パターンが変化する。

第4図のフレーム同期パターンを用いた場合のフレーム同期回路の構成およびその動作については、基本的には第2図および第3図を用いて説明した第1図のフレーム同期パターンの場合と同じである。異なる点は、第2図の遷移パターン発生

回路4から出力される遷移パターン比較のためのビット系列のフレーム毎の遷移が、原始多項式 $X^3 + X + 1$ に対応するM系列となる点だけである。

(発明の効果)

本発明によれば、データ信号に含まれる疑似的なフレーム同期パターンによる誤同期発生を防止でき、フレーム同期回路の性能向上に効果がある。

#### 4. 図面の簡単な説明

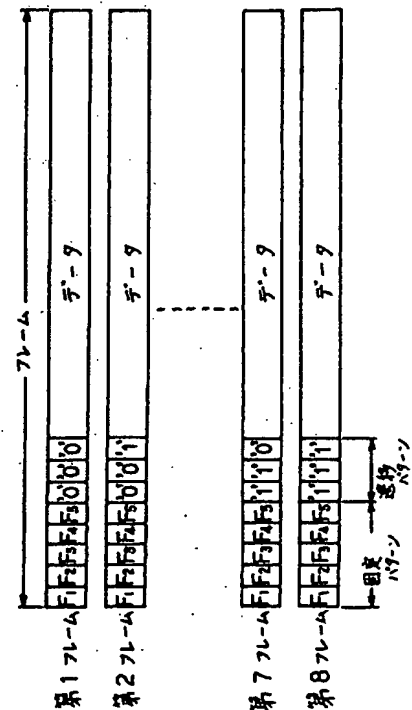
第1図は本発明の一実施例に係るフレーム同期パターン構成図、第2図は第1図に示すフレーム同期パターンに対するフレーム同期回路の構成図、第3図は第2図に示すフレーム同期回路の動作を説明するフローチャート、第4図は本発明の第2実施例に係るフレーム同期パターン構成図、第5図(a)、(b)は従来技術におけるフレーム同期パターン構成図である。

1…固定パターン検出回路、2…フレームカウンタ、3…遷移パターン検出回路、4…遷移パタ

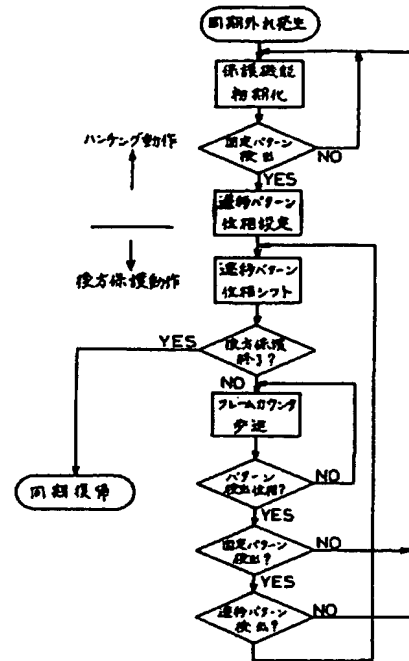
ン発生回路、5…比較回路、6…一致・不一致判定回路、7…同期保護回路

代理人 弁理士 秋 本 正 実

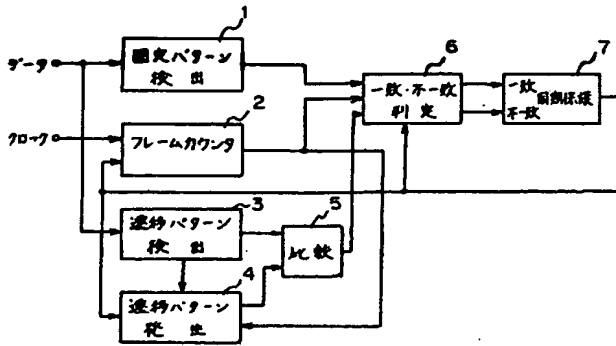
第1図



第 3 図



第 2 図



第 4 図

第1 フレーム	F <sub>1</sub> F <sub>2</sub> F <sub>3</sub> F <sub>4</sub> F <sub>5</sub> 111	データ
第2 フレーム	F <sub>1</sub> F <sub>2</sub> F <sub>3</sub> F <sub>4</sub> F <sub>5</sub> 011	データ
第3 フレーム	F <sub>1</sub> F <sub>2</sub> F <sub>3</sub> F <sub>4</sub> F <sub>5</sub> 001	データ
第4 フレーム	F <sub>1</sub> F <sub>2</sub> F <sub>3</sub> F <sub>4</sub> F <sub>5</sub> 100	データ
第5 フレーム	F <sub>1</sub> F <sub>2</sub> F <sub>3</sub> F <sub>4</sub> F <sub>5</sub> 010	データ
第6 フレーム	F <sub>1</sub> F <sub>2</sub> F <sub>3</sub> F <sub>4</sub> F <sub>5</sub> 101	データ
第7 フレーム	F <sub>1</sub> F <sub>2</sub> F <sub>3</sub> F <sub>4</sub> F <sub>5</sub> 110	データ

← 固定パターン      送付パターン

第 5 図

